

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-198688

(43)Date of publication of application : 03.09.1986

(51)Int.Cl.

H01L 31/10

(21)Application number : 60-038169

(71)Applicant : NEC CORP

(22)Date of filing : 27.02.1985

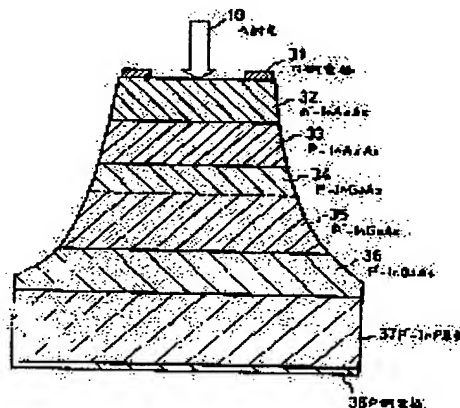
(72)Inventor : SUGIMOTO YOSHIMASA
TORIKAI TOSHITAKA

(54) SEMICONDUCTOR PHOTODETECTOR

(57)Abstract:

PURPOSE: To obtain the APD of layer GB product, by separating the light absorbing layer from the avalanche multiplying layer to shorten the transit time of carrier in the light absorbing layer.

CONSTITUTION: The P+ InGaAs buffer layer 36, the P-InGaAs layer 35, P-InGaAs layer 34, P-InAlAs layer 33 and the N+ InAlAs layer 32 are continuously grown on the P+ InP substrate 37 by MBE growth method. After then, AuGeNi is deposited for the (n) side electrode, and the MESA etching is performed by applying the deposited layer to the etching mask. AuZn is deposited for the (p) side electrode which is employed as the light receiving element. The incident light 10 enters from the N+ InAlAs layer 32. The electric field distribution is produced by separating the light absorbing layer 4 into the P-InGaAs layer 34 and the P-InGaAs layer 35, so that the transit time of the carrier which travels in the light absorbing layer can be shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-198688

⑬ Int.Cl.⁴

H 01 L 31/10

識別記号

庁内整理番号

6819-5F

⑭ 公開 昭和61年(1986)9月3日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体受光素子

⑯ 特 願 昭60-38169

⑰ 出 願 昭60(1985)2月27日

⑱ 発 明 者 杉 本 喜 正 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者 島 飼 俊 敬 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 代 理 人 弁理士 本庄 伸介

明 細 書

1. 発明の名称

半導体受光素子

2. 特許請求の範囲

光吸収層及びアバランシ増倍層が設けてあり、前記アバランシ増倍層の禁制帯幅が前記光吸収層の禁制帯幅より大きいヘテロ接合型半導体受光素子において、前記光吸収層が $1 \times 10^{18} \text{cm}^{-3}$ 以上の高濃度キャリア不純物を有する領域Aと $1 \times 10^{18} \text{cm}^{-3}$ 以下の低濃度キャリア不純物を有する領域Bとの少なくとも2つの領域からなり、前記領域Aの方が前記領域Bより前記アバランシ増倍層に近接し、前記領域Bの層厚が前記光吸収層の厚さの1/2以上であり、前記領域Bにおける電界強度が50 KV/cm以下である事を特徴とする半導体受光素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、逆バイアス電圧で使用する半導体受光素子に関し、特に高速応答特性に優れたヘテロ接合型の半導体受光素子に関する。

(従来の技術)

現在、光通信の実用化が進められている。この光通信で使用する波長域は、光ファイバの伝送損失が低い1~1.16 μm 帯が主流である。この波長域で動作可能な光源(半導体レーザ; LED)及び光検出器(ホトダイオード; PDやアバランシホトダイオード; APD)の研究開発が活発に進められている。光源としてはInP-InGaAsP系が、光検出器としてはGe-APDが主に用いられている。しかし、このGe-APDは暗電流と過剰雑音が大きく、また温度特性も悪いので必ずしも光通信用光信号を検出する素子としては最適ではなく、これに代わる化合物半導体材料によるPD及びAPDが期待されている。

化合物半導体APDのうちで現在勢力的に開発が進められているのがInGaAs-APDである。1 μm 以上

の波長域で受光素子として使用する半導体材料は禁制帯幅が狭くなるから、PDやAPDを作った場合トンネル電流の影響を受けると高性能な特性は期待できない。ところで、このInGaAsは、InAlAsに格子整合したヘテロ接合の形成が可能である。そこで、InGaAsを光吸収層として、ここで発生した電子-正孔キャリアの一方のみをアバランシ増倍層であるInAlAs層へ輸送してアバランシ増倍させる構造が採用できる。この構造によってトンネル電流の影響を受けず、過剰雑音が小さい高性能な受光素子が可能である(アブライド・フィジクス・レターズ(A.P.L. 43(1983)1040))。

第5図に従来の受光素子を示す。これはInGaAsを光吸収層とし、InAlAsをアバランシ増倍層としたAPDの模式断面図である。p⁺-InP基板6上にp⁺-InGaAsバッファ層5、p⁻-InGaAs光吸収層4、p-InAlAsアバランシ増倍層3、n⁻-InAlAs層2を形成し、メサエッチングを施した後、n側電極1、p側電極7を形成している。入射光10はn⁻-InAlAs層2から入る構造となっている。

走行する時間は50~70 PSec程度となる。この値はInAlAs層中での走行時間30 PSecより大きな値であり、このInGaAs層中を走行する時間を短かくすることがGB積を大きくする決定的な要因となる。

そこで、本発明の目的は、この様な従来構造の欠点を除去せしめ、低雑音で、しかもGB積が大きい半導体受光素子の提供にある。

(問題点を解決するための手段)

前述の問題点を解決するために本発明が提供する手段は、光吸収層及びアバランシ増倍層が設けてあり、前記アバランシ増倍層の禁制帯幅が前記光吸収層の禁制帯幅より大きいヘテロ接合型半導体受光素子であって、前記光吸収層が 1×10^{18} cm⁻³以上の高濃度キャリア不純物を有する領域Aと 1×10^{17} cm⁻³以下の低濃度キャリア不純物を有する領域Bとの少なくとも2つの領域からなり、前記領域Aの方が前記領域Bより前記アバランシ増倍層に近接し、前記領域Bの層厚が前記光吸収層の厚さの1/2以上であり、前記領域Bにおける

この構造においては電極1、7間に逆方向バイアス電圧を印加し、空乏層をInGaAs層4中まで伸ばすことによって禁制帯幅の狭いInGaAs層4で光を吸収させ、発生した電子キャリアを禁制帯幅の広いInAlAs層3まで輸送してアバランシ増倍を生じさせている。すなわち禁制帯幅の広いInAlAs層3で電圧降伏が生じるために低暗電流受光素子が実現でき、従って低雑音で高性能な特性が期待できる。

(発明が解決しようとする問題点)

しかしながら第5図に示す構造では、光吸収層4とアバランシ増倍層3とが分離されているから光吸収によって生じたキャリアは光吸収層4中を走行していかないと増倍領域に達しない。したがって、この構造のAPDでは、Si-APDやGe-APDで良く知られているアバランシ立上がり時間で規定されるGB積制限に加えて、光吸収層中の走行時間制限も入ってきてGB積が小さくなるという欠点を有している。実際にこの構造において、GB積は15~20程度であり、この時InGaAs層中をキャリアが

電界強度が50 KV/cm以下である事の特徴とする。

(作用)

本発明は上述の手段により従来の欠点を解決した。

第1図は、本発明の構造のAPD及び従来構造のAPDにおける空乏層内での電界分布を示す図である。本図では、Aは本発明構造の電界分布線(実線)を示し、Bは従来構造の電界分布線(破線)をそれぞれ示す。そして、横軸はpn接合からの距離、縦軸は電界強度を表わしている。このモデルでは、アバランシ増倍層であるp-InAlAsの層厚を2 μ m、ヘテロ電界強度を150 KV/cmとしている。また光吸収層であるp⁻-InGaAs層は層厚4 μ m、ヘテロ界面から1 μ mの位置で電界分布が変化しており、その時の電界強度は40 KV/cmである。この様に光吸収層にキャリア濃度の勾配を設けて電界分布を変化させることによって走行時間が変化する様子を示したのが第2図である。この図はInGaAs中の電子の走行速度を電界に対してプロットしたものである(アイ・トリプルイー・エレクトロ

ン・デバイス・レターズIEEE ELECT. DeV. LETT. EDL-3(1982)18)。この図から電子の速度は電界が10 KV/cm程度のときに最大となり、電界が大きくなるに従って電子の速度は減少し、100 KV/cm以上の電界では飽和傾向を示すことがわかる。第1図の破線Bに示した従来構造の使用領域は第2図の2-aの部分に相当し、電子の速度は 6×10^6 cm/Sec程度である。

これに対して本発明構造では光吸収層の大部分が40KV/cm以下の領域にあるから第2図の2-bの部分に相当し、電子の速度は $7 \sim 10 \times 10^6$ cm/Secとなる。この速度は従来構造より速い値となり、高速応答が期待される。

(実施例)

以下、第5図の従来例と同様にInAlAs/InGaAsヘテロ接合を用いた本発明の一実施例のAPDについて詳述するが、他のヘテロ接合、例えばInP/InGaAs、AlGaAs/GaAs、AlGaSb/GaSb等についても全く同様であることは容易に理解される。

第3図は本発明の構造をもつ受光素子(APD)

図である。本発明の構造では、GB積線4-aに示した様に $G \times B \approx 2.5$ であった。これは従来例のGB積4-bを大きく上回っていることがわかる。

以上説明したように、本発明の構造を用いることによって光吸収層とアバランシ増倍層とが分離してあって低雑音であり、しかも光吸収層中のキャリアの走行時間を短くすることが可能であり、結果としてGB積の大きなAPDを作ることが可能となった。このように、本発明によれば、低雑音で、しかもGB積が大きい半導体受光素子が提供できる。

4. 図面の簡単な説明

第1図は本発明構造及び従来構造のInAlAs/InGaAs-APDの電界強度分布を示す図、第2図はInGaAs中の電界強度と電子の速度との関係を示す図、第3図は本発明の一実施例のInAlAs/InGaAs-APDの模式的断面図、第4図は本発明構造及び従来構造のInAlAs/InGaAs-APDにおけるGB積と増倍率との関係を示す図、第5図は従来のInAlAs/

の一実施例を示す模式的断面図である。p⁺-InP基板37上にp⁺-InGaAsバッファ層36を1μm厚に、キャリア濃度 1×10^{18} cm⁻³のp⁻-InGaAs層35を4μm厚に成長し、さらに 1×10^{18} cm⁻³のキャリア濃度のp-InGaAs層34を1μm、キャリア濃度 1.5×10^{18} cm⁻³のp-InAlAs層33を1.5μm、 1×10^{18} cm⁻³のキャリア濃度のn⁺-InAlAs層32を1μm厚にMBE成長法を用いて連続的に成長をおこなった。その後n側電極としてAuGeNiを蒸着し、これをエッチングマスクとして、メサエッチングをおこなった。次にp側電極とにAuZnを蒸着して、受光素子とする。入射光10はn⁺-InAlAs層32側から入射する。第5図に示した従来例の光吸収層4をp-InGaAs層34、p⁻-InGaAs層35と分けることで電界分布をつくり、光吸収層中を走るキャリアの走行時間を短くすることが可能となった。

(発明の効果)

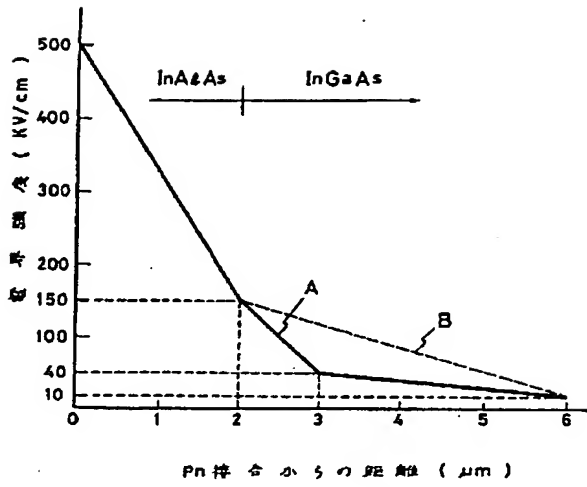
第4図は本発明の構造及び従来構造のInAlAs/InGaAs-APDにおけるGB積と増倍率との関係を示す

InGaAs-APDの構造を示す模式的な断面図である。

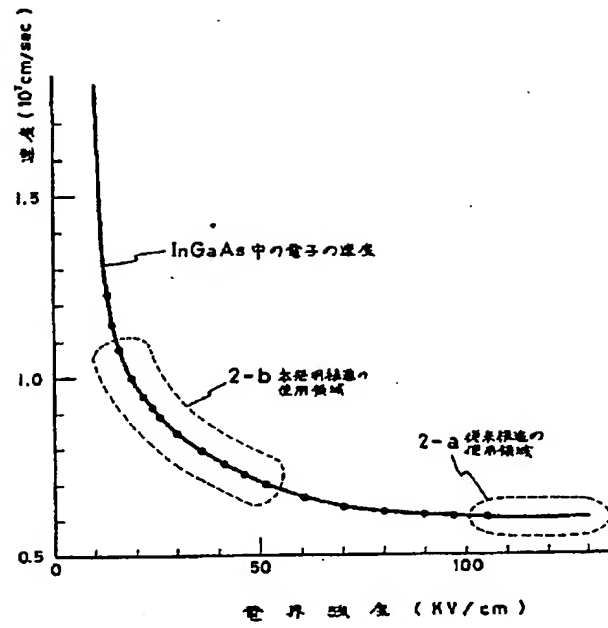
1, 31...n側電極、2, 32...n⁺-InAlAs層、3, 33...p-InAlAs層、34...p-InGaAs層、4, 35...p⁻-InGaAs層、5, 36...p⁺-InGaAsバッファ層、6, 37...InP基板、7, 38...p側電極、2-a...従来構造の使用領域、2-b...本発明構造の使用領域、4-a...本発明構造のGB積VS増倍率線、4-b...従来例構造のGB積VS増倍率線。

代理人 弁理士 木 庄 伸 介

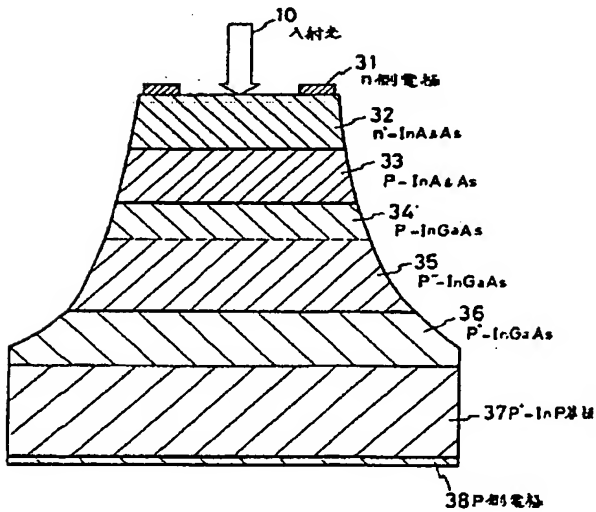
第 1 図



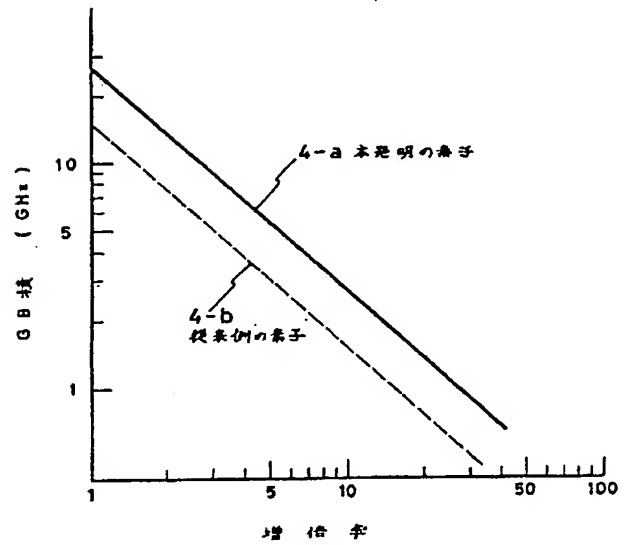
第 2 図



第 3 図



第 4 図



第 5 圖

